

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年6月2日 (02.06.2005)

PCT

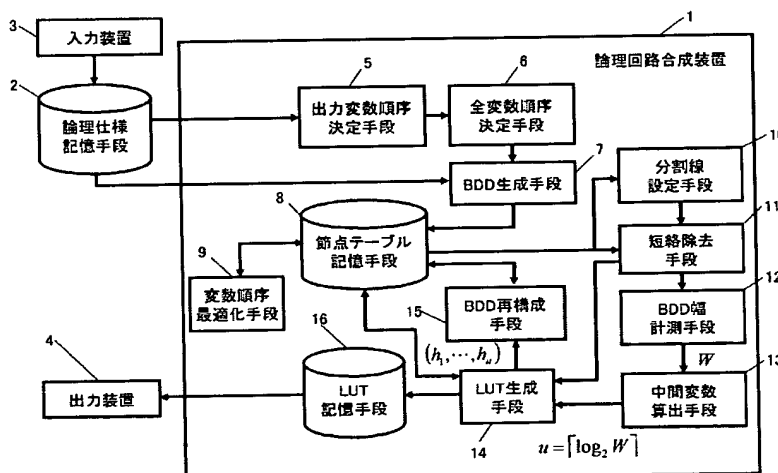
(10) 国際公開番号  
WO 2005/050494 A1

- (51) 国際特許分類<sup>7</sup>: G06F 17/50
- (21) 国際出願番号: PCT/JP2004/017263
- (22) 国際出願日: 2004年11月19日 (19.11.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2003-389264  
2003年11月19日 (19.11.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 財団法人  
北九州産業学術推進機構 (KITAKYUSHU FOUNDATION FOR THE ADVANCEMENT OF INDUSTRY, SCIENCE AND TECHNOLOGY) [JP/JP]; 〒8080135  
福岡県北九州市若松区ひびきの2-1 Fukuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 笹尾 勤 (SASAO, Tsutomu) [JP/JP]; 〒8100053 福岡県福岡市中央区鳥飼3丁目15-17 Fukuoka (JP). 井口 幸洋 (IGUCHI, Yukihiko) [JP/JP]; 〒2500408 神奈川県足柄下郡箱根町強羅1320-1231 Kanagawa (JP).
- (74) 代理人: 石田 和人 (ISHIDA, Kazuto); 〒8080135 福岡県北九州市若松区ひびきの2-1 北九州学術研究都市産業連携センターT-302 Fukuoka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: GRAPH WIDTH REDUCING APPARATUS, GRAPH WIDTH REDUCING METHOD, LOGIC CIRCUIT COMPOSING APPARATUS, AND LOGIC CIRCUIT COMPOSING METHOD

(54) 発明の名称: グラフ幅削減装置及びグラフ幅削減方法、並びに論理回路合成装置及び論理回路合成方法



- 3... INPUT APPARATUS  
2... LOGIC SPECIFICATION STORING MEANS  
5... OUTPUT VARIABLE SEQUENCE DECIDING MEANS  
6... ALL VARIABLE SEQUENCE DECIDING MEANS  
1... LOGIC CIRCUIT COMPOSING APPARATUS  
7... BDD GENERATING MEANS  
8... NODE TABLE STORING MEANS  
9... VARIABLE SEQUENCE OPTIMIZING MEANS  
4... OUTPUT APPARATUS  
16... LUT STORING MEANS  
15... BDD REARRANGING MEANS  
14... LUT GENERATING MEANS  
10... DIVISION LINE SETTING MEANS  
11... SHUNT ELIMINATING MEANS  
12... BDD WIDTH MEASURING MEANS  
13... INTERMEDIATE VARIABLE CALCULATING MEANS

(57) Abstract: A logic circuit composing apparatus capable of composing a LUT logic circuit having an intermediate output for a multi-output logic function. There are included characteristic function binary decision graph node table storing means (8) for a characteristic function  $x(X, Y)$  of a multi-output logic function  $f(X)$ ; LUT storing means (16); shunt eliminating means (11) for dividing a characteristic function binary decision graph into partial graphs  $(B_0, B_1)$  by a division line having a predetermined height (lev) to provide a shunt elimination; BDD width measuring means (12) for measuring the width (W) in the division line; intermediate variable calculating means (13) for calculating, based on the width (W), the number of intermediate variables; LUT generating means (14) for generating LUT for the partial graph  $(B_0)$ ; and BDD rearranging means (15) for generating a binary tree having control inputs the number of which is equal to the number (u) of the intermediate variables, and for replacing the partial graph  $(B_0)$  by the binary tree to rearrange the characteristic function binary decision graph.

[続葉有]



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- USのための発明者である旨の申立て (規則4.17(iv))

添付公開書類:

- 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

- (57) 要約: 多出力論理関数に対し、中間出力を有するLUT論理回路が合成可能な論理回路合成装置を提供する。  
多出力論理関数 $f(X)$ の特性関数 $\chi(X,Y)$ の特性関数二分決定グラフ節点テーブル記憶手段8と、LUT記憶手段16と、特性関数二分決定グラフを所定の高さ $lev$ の分割線で部分グラフ $B_0, B_1$ に分割し短絡除去処理を行う短絡除去手段11と、分割線における幅 $W$ を計測するBDD幅計測手段12と、幅 $W$ に基づき中間変数の個数を算出する中間変数算出手段13と、部分グラフ $B_0$ につきLUTを生成するLUT生成手段14と、中間変数の個数 $u$ と等しい制御入力数を有する二分木を生成し、部分グラフ $B_0$ を二分木で置き換え、特性関数二分決定グラフを再構成するBDD再構成手段15とを備えた構成とした。